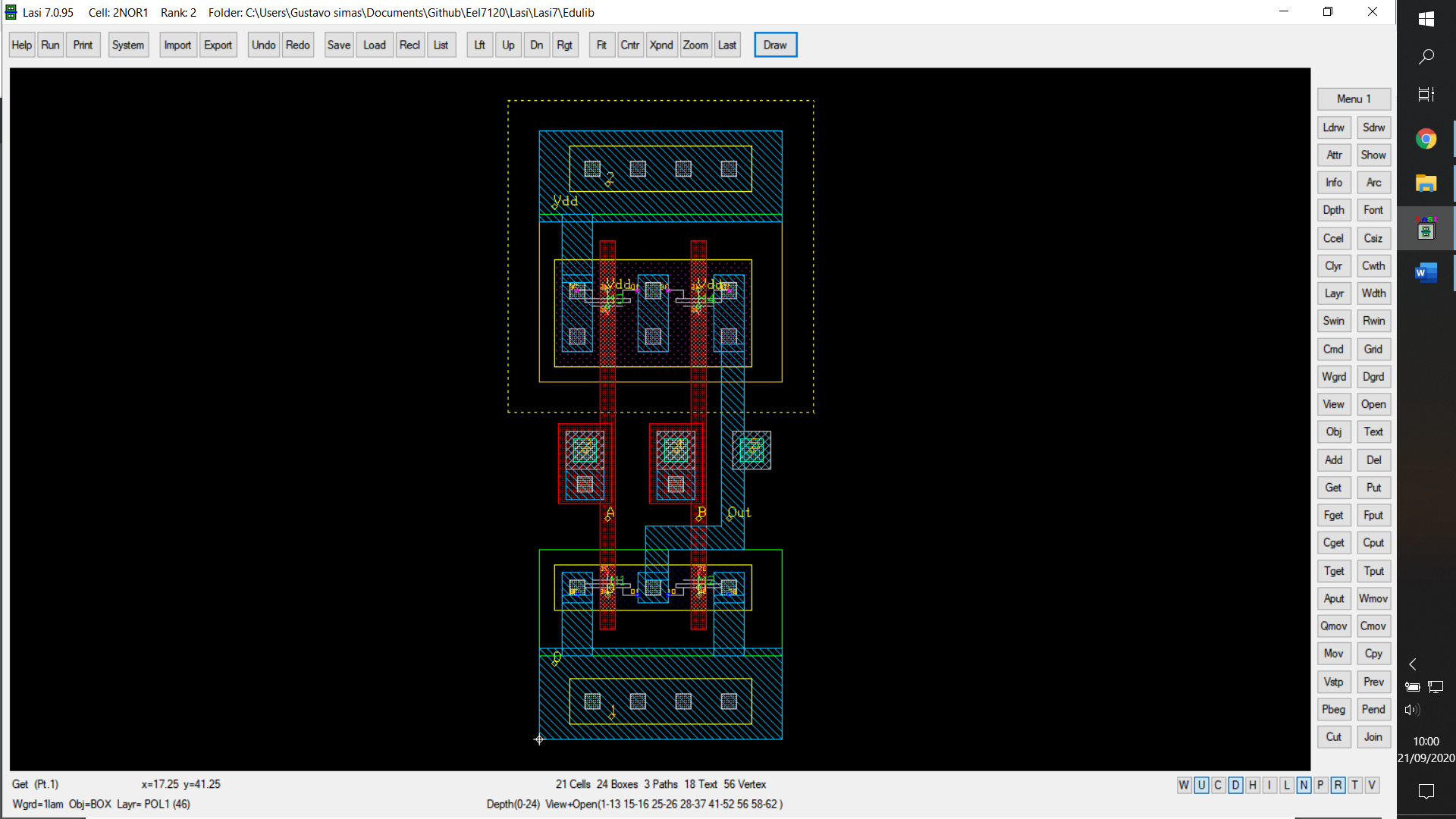
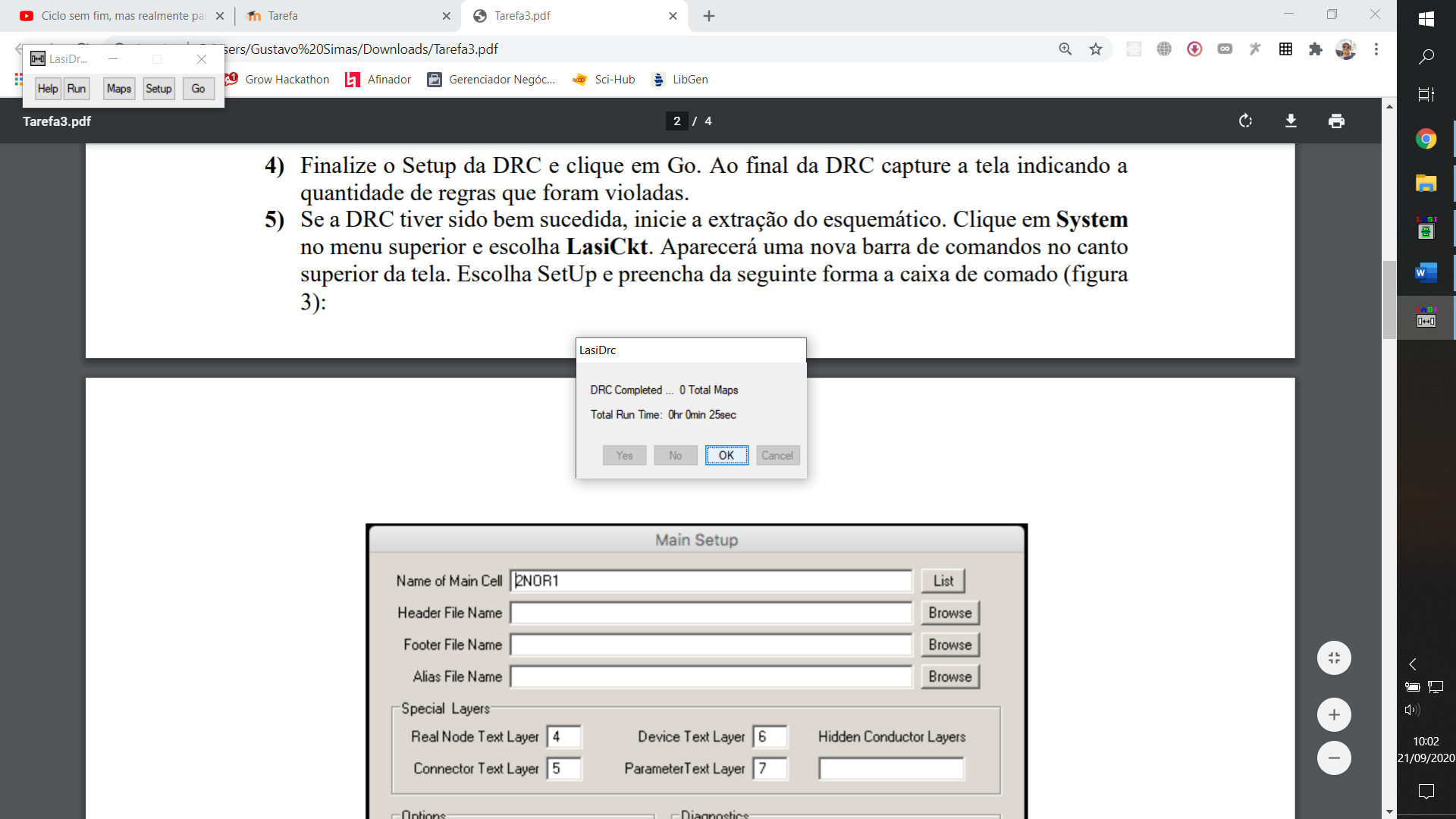
Universidade Federal de Santa Catarina – UFSC Centro Tecnológico – CTC

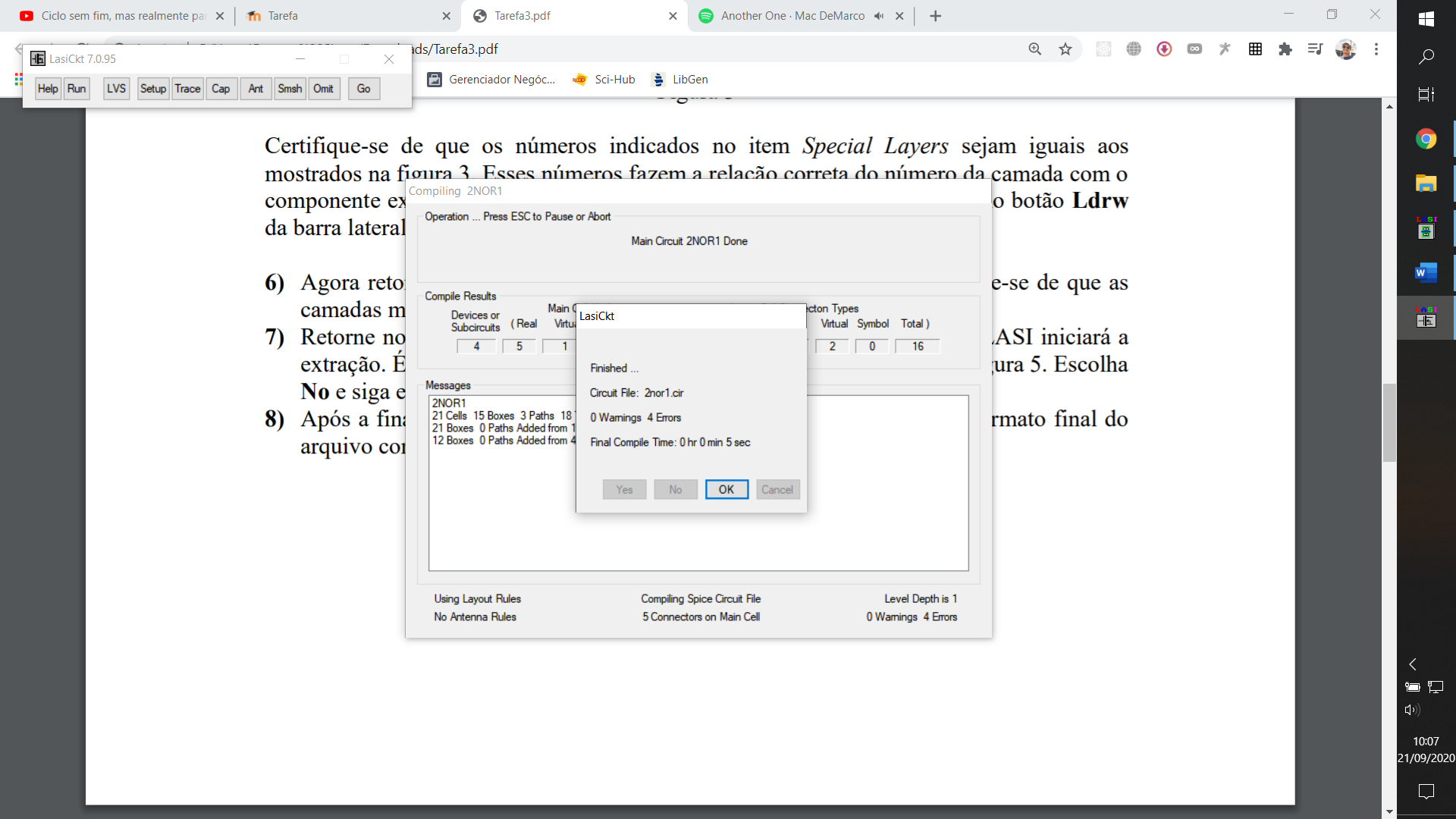
Departamento de Engenharia Elétrica e Eletrônica – DEEL EEL7120 – Introdução à Microeletrônica

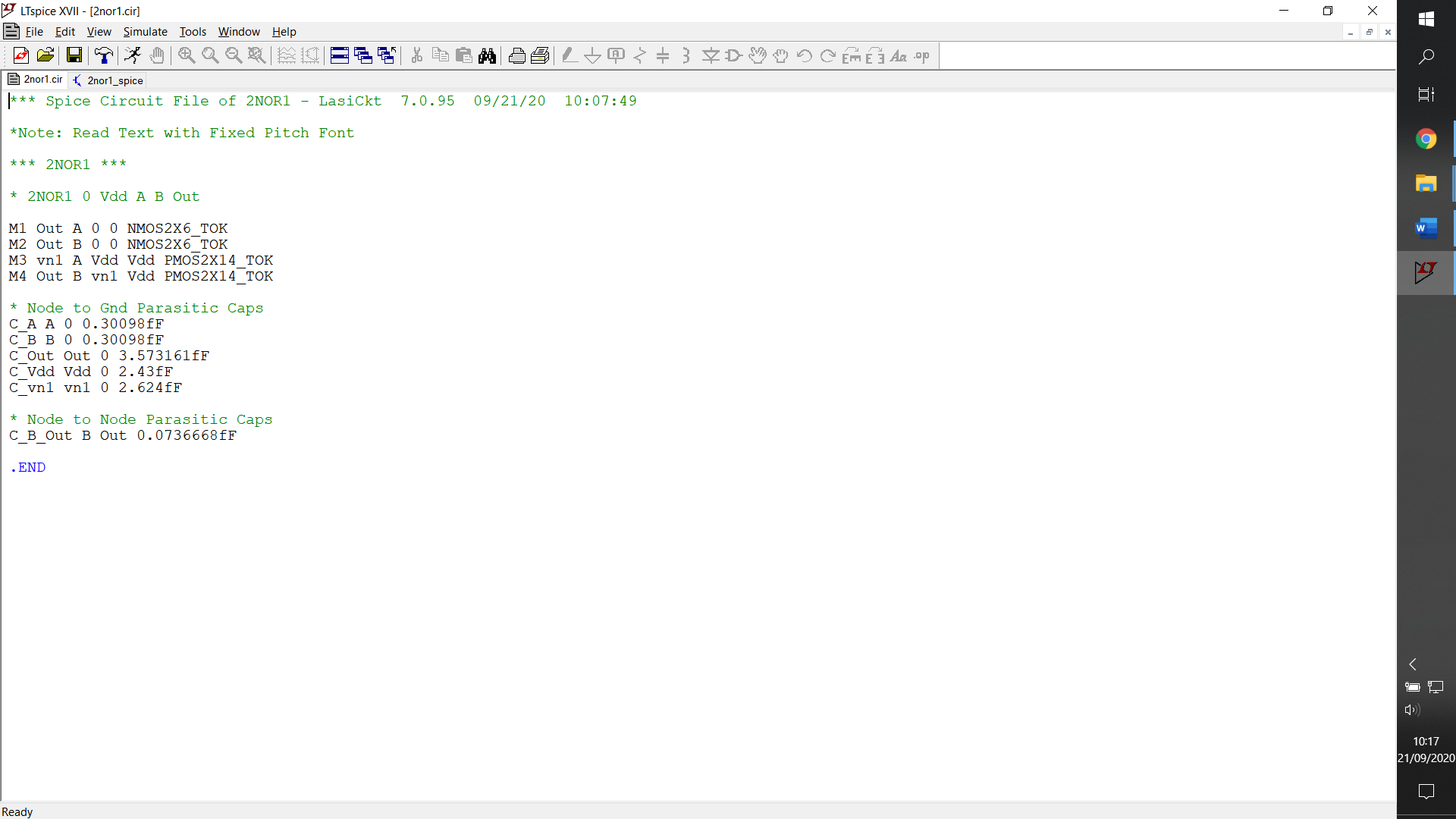
Aluno: Gustavo Simas da Silva

**Imagem do Leiaute da porta lógica NÃO-OU gerado no LASI**

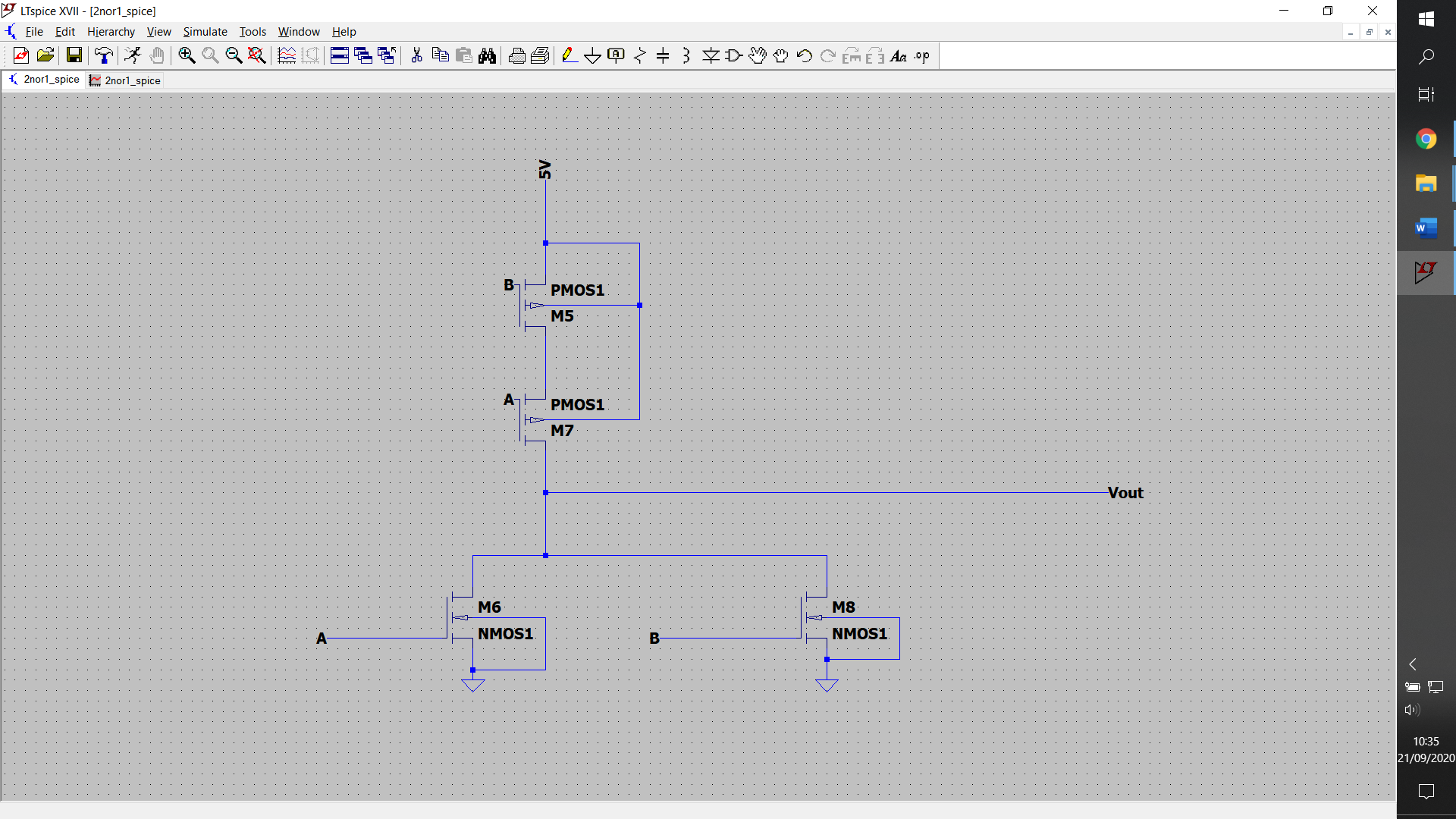
**Resultado da análise DRC**

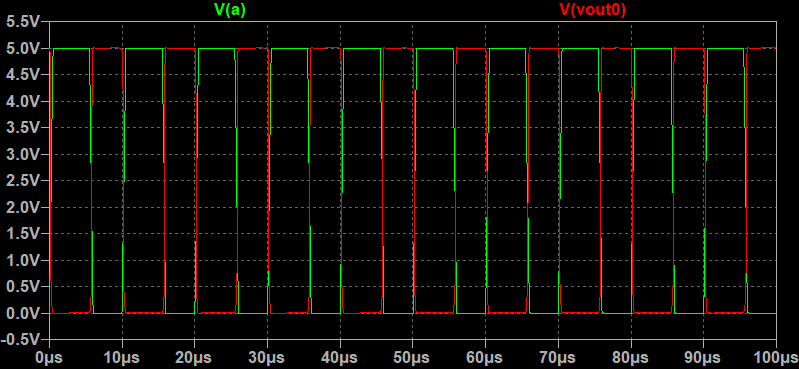
**Resultado da extração LASICkt**

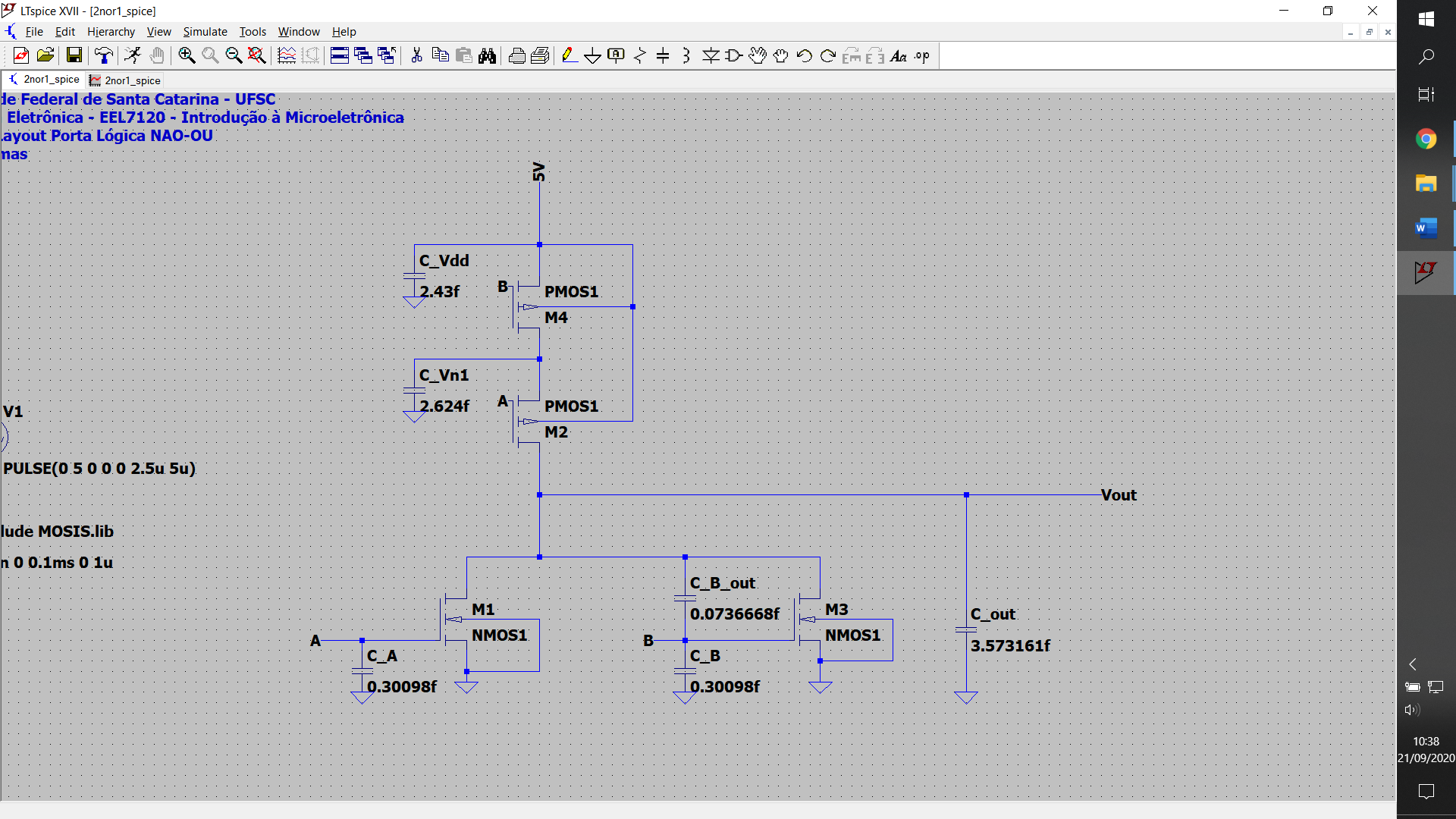


**Imagem arquivo 2nor1.cir**

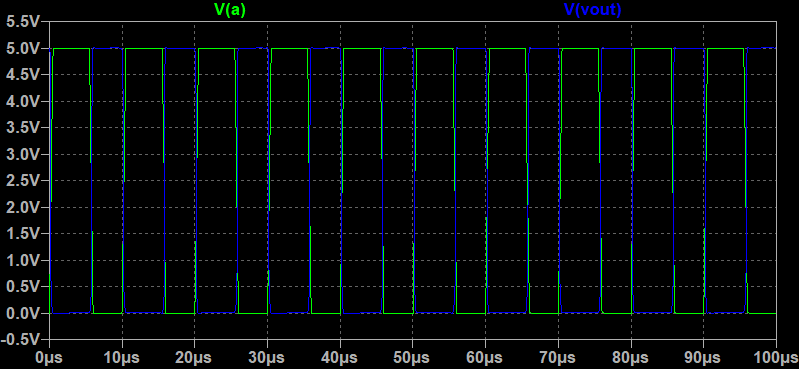
**Circuito NÃO-OU sem capacitâncias parasitárias desenvolvido no LTSPICE**



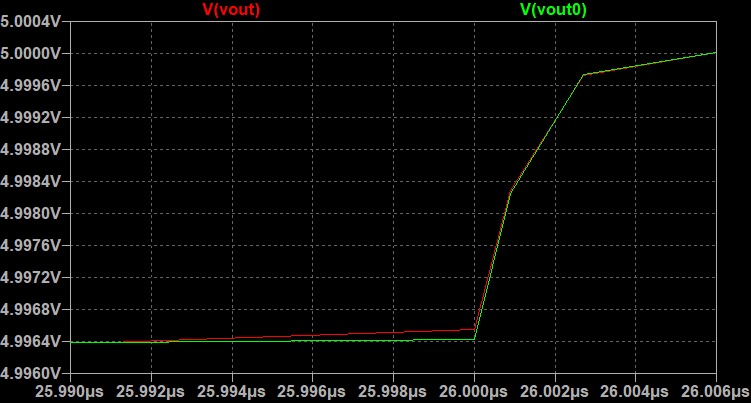
**Resultado de simulação para circuito sem parasitários**

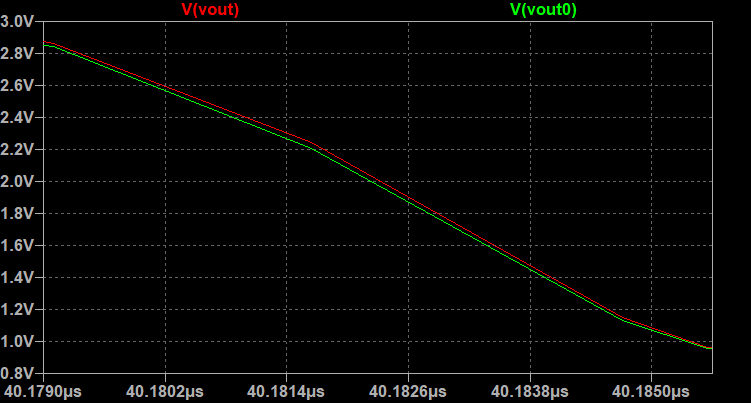
**Circuito NÃO-OU com capacitâncias parasitárias desenvolvido no LTSPICE**

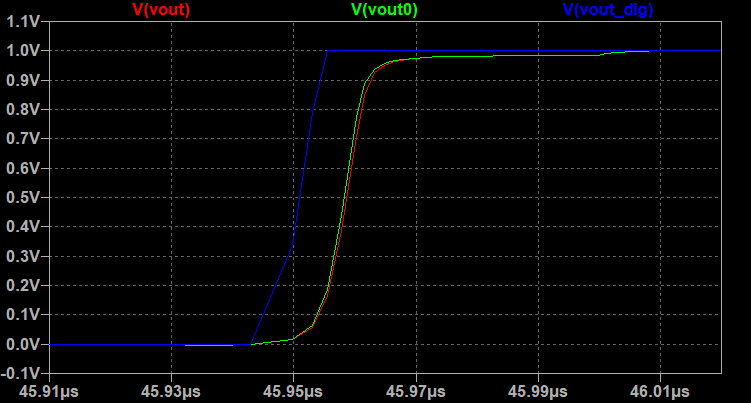
**Resultado de simulação para circuito com parasitários**



**Comparação de subida de sinais de saída dos circuitos (sinal verde sem parasitários)**

**Comparação de descida de sinais de saída (verde sem parasitários)**



**Comparação de sinais com “porta lógica NOR ideal” (em azul)**

**Conclusão**

Verifica-se que para o circuito com capacitâncias parasitas temos uma pequena, porém visível, diferença em termos de rise time e fall time do sinal de saída. A capacitância de saída C\_out com 3,57 fF se apresenta como a maior dentre as obtidas, representando influência no atraso/delay observado no sinal resultante. Em termos de amplitude, não foi identificada diferença entre os circuitos, seja em termos de tensão ON, tensão OFF, overshoot ou outros pontos, isto pois não há queda de tensão (dissipação de potência ativa) nos elementos, apenas potência reativa, devido à reatância capacitiva do dispositivo.

Para simulação mais realística em trabalhos futuros, pode ser avaliado o comportamento de ambos os circuitos em face de variação de parâmetros como temperatura, ruído, resistência, entre outras questões que podem modificar a performance do sistema.